

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-345933

(43)Date of publication of application : 14.12.1999

(51)Int.Cl.

H01L 25/065
H01L 25/07
H01L 25/18
// H01L 27/00

(21)Application number : 10-151799

(22)Date of filing : 01.06.1998

(71)Applicant : TOSHIBA CORP

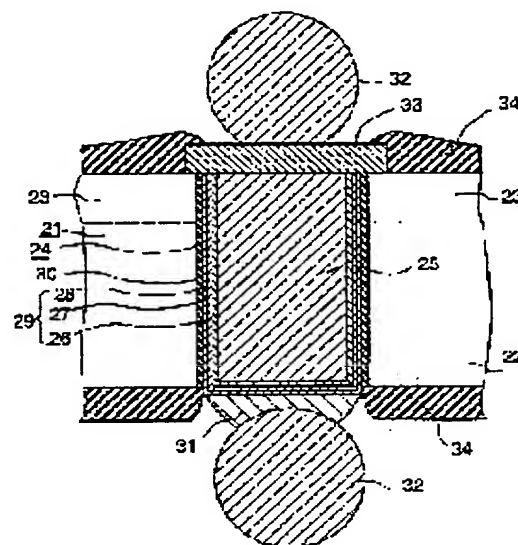
(72)Inventor : KIMURA MANABU
SASAKI KEIICHI
MATSUO MIE
HISATSUNE YOSHIMI

(54) MULTICHIP SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a multichip module capable of preventing the occurrence of a defect due to the diffusion of a solder constituting material, even when connection between a bump electrode and conductive paste for a chip through plug is executed by soldering.

SOLUTION: The multichip module comprises a plurality of laminated semiconductor chips 21, a chip through plug 24 is formed in a through hole passed through a Si substrate 22 at least for one of the semiconductor chips 21, the plug 24 is electrically connected to an Au bump electrode 32 through Sn-Zn solder 31, and the Au bump electrode 32 is electrically connected to the other chip. The chip through plug 24 is constituted of conductive paste 25 acting as a plug body, a barrier metal film 29 covering the sidefaces and bottom of the paste 25, and a silicon nitride film 30 formed between the barrier metal film 29 and the inwall of the through hole.



LEGAL STATUS

[Date of request for examination]

13.06.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3397689

[Date of registration]

14.02.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

Japanese Publication for Unexamined Patent Application

No. 345933/1999 (Tokukaihei 11-345933)

A. Relevance of the Above-identified Document

This document has relevance to claims 1 and 10 of the present application.

B. Translation of the Relevant Passages of the Document

See the attached English Abstract.

[DESCRIPTION OF THE EMBODIMENTS]

...

[0048]

Firstly, as shown in Fig. 4(a), a circuit layer 23 is formed on the surface of the Si substrate 22, after that, by using the reactive ion etching (RIE) method, in which high-density plasma of the ICP type is used, a groove 35 which penetrates the circuit layer 23 and extends to a middle of the Si substrate 22 is formed. The diameter of the groove 35 is 50 μ m through 100 μ m, and the depth thereof is 150 μ m through 200 μ m.

[0049]

Next, as shown in Fig. 4(b), a silicon nitride film 30 is formed on the entire surface of the Si substrate 22 by carrying out the CVD method so as to cover the surface of

the groove 35.

[0050]

Then, as shown in Fig. 4(c), a Ni film 28 is formed on the silicon nitride film 30 by carrying out the sputtering method or the plating method.

[0051]

After that, as shown in Fig. 4(d), a Ti film 27 and a TiN film 28 are formed on the Ni film 28 in this order by utilizing the sputtering method. Note that the TiN film 26 may be formed by carrying out the CVD method.

[0052]

Then, as shown in Fig. 4(e), an electrically conductive paste 25 is applied on the entire surface of the Si substrate 22 by carrying out the screen printing method or the like, thereby filling inside of the groove 35 with the electrically conductive paste 25.

[0053]

Next, as shown in Fig.5(f), unnecessary parts of the electrically conductive paste 25, the TiN film 26, and the Ti film 27 are removed by utilizing the CMP method or the like, the unnecessary parts being parts formed outside the groove 35. After that, the electrically conductive paste 25 is sintered.

...

[0068]

Firstly, as shown in Fig. 9(a), the circuit layer 43 is formed on the surface of the Si substrate 42, and the groove 52 is formed by carrying out the RIE method, in which high-density plasma of the ICP type is used. The groove 52 penetrates the circuit layer 43 and extends to a middle of the Si substrate 42. The diameter of the groove 52 is 50 μ m through 100 μ m, and the depth thereof is 150 μ m through 200 μ m.

[0069]

Then, as shown in Fig. 9(b), the silicon nitride film 47 is formed on the entire surface of the Si substrate 42 by utilizing the plasma CVD method, thereby covering the surface of the groove 52 with the silicon nitride film 47.

[0070]

After that, as shown in Fig. 9(c), the electrically conductive paste 45 is applied to the entire surface of the Si substrate 42 by utilizing the screen printing method or the like, thereby filling the inside of the groove 52 with the electrically conductive paste 45.

[0071]

Next, as shown in Fig. 9(d), that unnecessary part of the electrically conductive paste 45, which is formed outside the groove 52, is removed by utilizing the CMP method. After that, the electrically conductive paste 45 is burned.

[0072]

Then, as shown in Fig. 9(e), the filling metal 46, which is in liquid form and made of Ni or the like, is applied to the entire surface of the Si substrate 42 by carrying out an electroless plating or the like, thereby filling pores formed between metal particles of the electrically conductive paste 45 with the filling metal 46. After that, as shown in Fig.10(f), that unnecessary part of the filling metal 46 which is formed outside the groove 52 is removed by utilizing the CMP method or the like.

[0073]

After that, as shown in Fig. 10(g), that unnecessary part of the silicon nitride film 47 which is formed outside the groove 57 is removed by utilizing the CMP method or the CDE method.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-345933

(43)公開日 平成11年(1999)12月14日

(51)Int.Cl.⁶
H 0 1 L 25/065
25/07
25/18
// H 0 1 L 27/00 3 0 1

F I
H 0 1 L 25/08 B
27/00 3 0 1 B

審査請求 未請求 請求項の数9 O L (全 11 頁)

(21)出願番号 特願平10-151799

(22)出願日 平成10年(1998)6月1日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 木村 学

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72)発明者 佐々木 圭一

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72)発明者 松尾 美恵

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(74)代理人 弁理士 鈴江 武彦 (外6名)

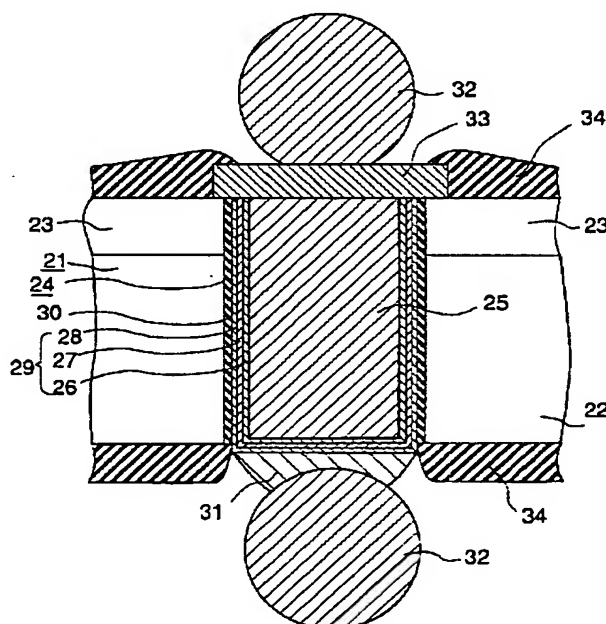
最終頁に続く

(54)【発明の名称】 マルチチップ半導体装置およびその製造方法

(57)【要約】

【課題】 バンプ電極とチップスループラグの導電性ペーストとの接続を半田によって行っても、半田の構成材料の拡散による不良発生を防止できるマルチチップモジュールを実現すること。

【解決手段】 半導体チップ21を複数積層してなり、少なくとも1つの半導体チップ21が、そのSi基板21を貫通する貫通孔内にチップスループラグ24が形成され、このチップスループラグ24がSn-Zn半田31を介してAuバンプ電極32と電氣的に接続され、Auバンプ電極32が他のチップに電氣的に接続されてなるマルチチップモジュールにおいて、チップスループラグ24を、プラグ本体としての導電性ペースト25と、この導電性ペースト25の側面および底面を覆うバリアメタル膜29と、このバリアメタル29と貫通孔内壁との間に設けられたシリコン窒化膜30とで構成する。



(2)

【特許請求の範囲】

【請求項1】素子が集積形成された半導体基板を有するチップを複数積層してなり、少なくとも1つのチップは、その半導体基板を貫通する貫通孔内に接続プラグが形成され、この接続プラグは半田を介してバンパ電極と電氣的に接続され、このバンパ電極が他のチップに電氣的に接続されてなるマルチチップ半導体装置において、前記接続プラグは、プラグ本体としての導電性ペーストと、この導電性ペーストと前記貫通孔内壁との間に設けられた絶縁性バリア膜と、前記導線性ペーストと前記半田との間に設けられた導電性バリア膜とから構成されていることを特徴とするマルチチップ半導体装置。

【請求項2】素子が集積形成された半導体基板を有するチップを複数積層してなり、少なくとも1つのチップは、その半導体基板を貫通する貫通孔内に接続プラグが形成され、この接続プラグは半田を介してバンパ電極と電氣的に接続され、このバンパ電極が他のチップに電氣的に接続されてなるマルチチップ半導体装置において、前記接続プラグは、プラグ本体としての導電性ペーストと、この導電性ペーストと前記貫通孔内壁との間および前記導線性ペーストと前記半田との間に設けられた導電性バリア膜と、この導電性バリア膜と前記貫通孔内壁との間に設けられた絶縁性バリア膜とから構成されていることを特徴とするマルチチップ半導体装置。

【請求項3】素子が集積形成された半導体基板を有するチップを複数積層してなり、少なくとも1つのチップは、その半導体基板を貫通する貫通孔内に接続プラグが形成され、この接続プラグは半田を介してバンパ電極と電氣的に接続され、このバンパ電極が他のチップに電氣的に接続されてなるマルチチップ半導体装置において、前記接続プラグは、プラグ本体としての導電性ペーストと、この導電性ペーストと前記貫通孔内壁との間に設けられた絶縁性バリア膜と、前記導電性ペースト中の隙間を充填する導電性物質とから構成されていることを特徴とするマルチチップ半導体装置。

【請求項4】前記絶縁性バリア膜は、前記導電性ペースト中の不純物が前記半導体基板中に拡散することを防止できるものであることを特徴とする請求項1ないし請求項3のいずれかに記載のマルチチップ半導体装置の製造方法。

【請求項5】前記導電性バリア膜は、前記半田の構成材料が前記導電性ペースト中に拡散することを防止できるものであることを特徴とする請求項2に記載のマルチチップ半導体装置の製造方法。

【請求項6】前記導電性ペーストはガラスを含まないものであり、前記導電性ペーストと前記絶縁性バリア膜との間に密着膜が設けられていることを特徴とする請求項1ないし請求項3のいずれかに記載のマルチチップ半導体装置。

【請求項7】半導体基板の表面に溝を形成する工程と、

2

前溝の表面を被覆するように全面に絶縁性バリア膜、導電性バリア膜を順次形成する工程と、

前記溝の内部に前記絶縁性バリア膜および導電性バリア膜を介してプラグ本体としての導電性ペーストを埋込み形成する工程と、

前記基板の裏面を後退させ前記絶縁性バリア膜を露出させた後、この露出した絶縁性バリア膜を除去して前記導電性バリア膜を露出させる工程とを有することを特徴とするマルチチップ半導体装置の製造方法。

【請求項8】半導体基板の表面に溝を形成する工程と、前溝の表面を被覆するように全面に絶縁性バリア膜を形成する工程と、

前記溝の内部に前記絶縁性バリア膜を介してプラグ本体としての導電性ペーストを埋込み形成する工程と、前記導電性ペースト中の隙間を導電性物質で充填する工程と、

前記基板の裏面を後退させ前記絶縁性バリア膜を露出させた後、この露出した絶縁性バリア膜を除去して前記ペーストを露出させる工程とを有することを特徴とするマルチチップ半導体装置の製造方法。

【請求項9】前記導電性ペースト中の隙間を導電性物質で充填する工程は、前記導電性ペースト上に液状の導電性物質を塗布する工程からなることを特徴とする請求項8に記載のマルチチップ半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数のチップを積層してなるマルチチップ半導体装置およびその製造方法に関する。

【0002】

【従来の技術】複数の半導体チップより構成される電子回路システムの高機能化、特に高速動作化のために半導体チップ間の接続配線を極力短くすることが必要となってきた。

【0003】そのため、従来の複数の半導体チップを多層基板上に平面的に並べて実装する方法に対して、複数の半導体チップを積層することにより、半導体チップ間の接続配線を極小化する技術が検討されている。このように複数の半導体チップを積層してなる半導体装置はマルチチップモジュールと呼ばれている。

【0004】ところで、この種のマルチチップモジュールを製造するには、上下に積層された半導体チップ間を電氣的に接続する必要がある。本発明者らはこのような接続を実現するために、図12の断面図に示すように、半導体チップ81を貫通するチップスループラグ82を用いることを既に提案している。

【0005】図13に、図12中破線で囲まれた部分の詳細な断面図を示す。半導体チップ81はSi基板83からなり、その表面には素子が集積形成されてなる回路層84が形成されている。

50

(3)

3

【0006】チップスループラグ82は、Ni、Alなどの金属からなる焼結型の導電性ペースト（プラグ本体）85と、この導電性ペースト85の側面を被覆するように形成されたSiO₂膜86とから構成されている。

【0007】回路層84側においては、導電性ペースト85はAlパッド電極87を介してAuバンプ電極88に接続している。一方、回路層84と反対側においては、導電性ペースト85はSn-Zn半田89を介してAuバンプ電極88と接続している。

【0008】ここで、導電性ペースト85をSn-Zn半田89を介してAuバンプ電極88に接続している理由は、積層された半導体チップ81の一部に不良が発生した場合に、Sn-Zn半田89を溶かして不良な半導体チップ81を取り外し、良品の半導体チップ81と交換することによって、リペアを容易に行えるようにするためである。

【0009】ところで、導電性ペースト85は金属粒子の焼結体であり、図13の断面SEMに係る顕微鏡写真に示すように、金属粒子間には隙間（ポア）が多数存在する。そのため、Sn-Zn半田89の構成材料が隙間を通して導電性ペースト83中に拡散して侵入する。

【0010】図14～図16に、そのことを示す断面SEMの顕微鏡写真を示す。図14はAlペーストの断面SEMに係る顕微鏡写真、図15はAlペースト上にSn-Zn半田をディップ方式により塗布した試料の断面SEMに係る顕微鏡写真、図16はその一部を拡大した顕微鏡写真である。これらの図から、Alペースト上にSn-Zn半田を塗布すると、Sn-Zn半田がAlペースト中に侵入することが分かる。

【0011】導電性ペースト85中に拡散して侵入したSn-Zn半田89の構成材料が、さらにAlパッド電極87に拡散して侵入し、Alパッド電極87のAlを浸食し、最悪の場合、回路層84へと拡散して、半導体チップ81の不良を引き起こす。

【0012】

【発明が解決しようとする課題】上述の如く、従来のマルチチップモジュールは、バンプ電極と導電性ペースト（プラグ本体）との接続を半田によって行っているため、半田の構成材料が導電性ペースト中の空隙に拡散して侵入し、さらにはパッド電極中に侵入してパッド電極を浸食し、最悪の場合、半導体チップの回路層へと拡散して、半導体チップの不良を引き起こすという問題があった。

【0013】本発明は、上記事情を考慮してなされたもので、その目的とするところは、バンプ電極と導電性ペーストからなる接続プラグとの接続を半田によって行っても、半田の構成材料の拡散による不良発生を防止できるマルチチップ半導体装置およびその製造方法を提供することにある。

4

【0014】

【課題を解決するための手段】〔構成〕上記目的を達成するために、本発明に係る第1のマルチチップ半導体装置は、素子が集積形成された半導体基板を有するチップを複数積層してなり、少なくとも1つのチップは、その半導体基板を貫通する貫通孔内に接続プラグが形成され、この接続プラグは半田を介してバンプ電極と電気的に接続され、このバンプ電極が他のチップに電気的に接続されてなるマルチチップ半導体装置において、前記接続プラグが、プラグ本体としての導電性ペーストと、この導電性ペーストと前記貫通孔内壁との間に設けられた絶縁性バリア膜と、前記導電性ペーストと前記半田との間に設けられた導電性バリア膜とから構成されていることを特徴とする。

【0015】また、本発明に係る第2のマルチチップ半導体装置は、素子が集積形成された半導体基板を有するチップを複数積層してなり、少なくとも1つのチップは、その半導体基板を貫通する貫通孔内に接続プラグが形成され、この接続プラグは半田を介してバンプ電極と電気的に接続され、このバンプ電極が他のチップに電気的に接続されてなるマルチチップ半導体装置において、前記接続プラグは、プラグ本体としての導電性ペーストと、この導電性ペーストと前記貫通孔内壁との間および前記導電性ペーストと前記半田との間に設けられた導電性バリア膜と、この導電性バリア膜と前記貫通孔内壁との間に設けられた絶縁性バリア膜とから構成されていることを特徴とする。

【0016】また、本発明に係る第3のマルチチップ半導体装置は、素子が集積形成された半導体基板を有するチップを複数積層してなり、少なくとも1つのチップは、その半導体基板を貫通する貫通孔内に接続プラグが形成され、この接続プラグは半田を介してバンプ電極と電気的に接続され、このバンプ電極が他のチップに電気的に接続されてなるマルチチップ半導体装置において、前記接続プラグは、プラグ本体としての導電性ペーストと、この導電性ペーストと前記貫通孔内壁との間に設けられた絶縁性バリア膜と、前記導電性ペースト中の隙間を充填する導電性物質とから構成されていることを特徴とする。

【0017】ここで、絶縁性バリア膜は、導電性ペースト中の不純物が半導体基板中に拡散することを防止できるものであることが好ましい。

【0018】また、導電性バリア膜は、半田の構成材料が前記導電性ペースト中に拡散することを防止できるものであることが好ましい。

【0019】また、導電性ペーストはガラスを含まないものである場合には、導電性ペーストと絶縁性バリア膜との間に密着膜を設けることが好ましい。

【0020】本発明に係る第1のマルチチップ半導体装置の製造方法は、半導体基板の表面に溝を形成する工程

(4)

5

と、前溝の表面を被覆するように全面に絶縁性バリア膜、導電性バリア膜を順次形成する工程と、前記溝の内部に前記絶縁性バリア膜および導電性バリア膜を介してプラグ本体としての導電性ペーストを埋込み形成する工程と、前記基板の裏面を後退させ前記絶縁性バリア膜を露出させた後、この露出した絶縁性バリア膜を除去して前記導電性バリア膜を露出させる工程とを有することを特徴とする。

【0021】また、本発明に係る第2のマルチチップ半導体装置の製造方法は、半導体基板の表面に溝を形成する工程と、前溝の表面を被覆するように全面に絶縁性バリア膜を形成する工程と、前記溝の内部に前記絶縁性バリア膜を介してプラグ本体としての導電性ペーストを埋込み形成する工程と、前記導電性ペースト中の隙間を導電性物質で充填する工程と、前記基板の裏面を後退させ前記絶縁性バリア膜を露出させた後、この露出した絶縁性バリア膜を除去して前記ペーストを露出させる工程とを有することを特徴とする。

【0022】ここで、導電性ペースト中の隙間を導電性物質で充填するには、例えば無電界メッキ等の方法によって、導電性ペースト上に液状の導電性物質を塗布して行う。

【0023】〔作用〕本発明に係る第1～第3のマルチチップ半導体装置によれば、導電性ペーストと半田との間に導電性バリア膜が設けられているので、この導電性バリア膜によって半田の構成材料が導電性ペースト中に侵入することを防止することが可能となる。これにより、半田の構成材料の拡散による不良発生を防止できるようになる。

【0024】また、本発明に係る第1～第3のマルチチップ半導体装置によれば、導電性ペーストと貫通孔内壁との間に絶縁性バリア膜が設けられているので、この絶縁性バリア膜によって導電性ペースト中の不純物が半導体基板中に拡散することを防止することが可能となる。これにより、導電性ペースト中の不純物の拡散による不良発生を防止できるようになる。

【0025】また、本発明に係る第2のマルチチップ半導体装置によれば、上述した作用効果の他に、例えば本願発明に係る第1のマルチチップ半導体装置の製造方法により、絶縁性バリア膜と導電性バリア膜とを同じ形成工程で形成できるので、プロセスの簡略化を図れるという作用効果も得られる。

【0026】

〔発明の実施の形態〕以下、図面を参照しながら本発明の実施の形態（以下、実施形態という）を説明する。

【0027】（第1の実施形態）図1は、本発明の第1の実施形態に係るマルチチップモジュールのチップスループラグ（接続プラグ）を示す断面図である。

【0028】図中、1は半導体チップを示しており、この半導体チップ1はSi基板2とその表面に形成された

6

素子が集積形成されてなる回路層3とで構成されている。半導体チップ1にはそれを貫通するチップスループラグ4が形成されている。

【0029】チップスループラグ4は、Ni、Alなどの金属からなり、鉛ガラスなどの重金属ガラスを含有した焼結型の導電性ペースト（プラグ本体）5と、この導電性ペースト5の側面を被覆するシリコン窒化膜（絶縁性バリア膜）6と、回路層3側と反対側の導電性ペースト5上に形成されたTi膜7、Ni膜8、Pd膜9からなるバリアメタル膜（導電性バリア膜）10とから構成されている。

【0030】このバリアメタル膜10はSn-Zn半田11を介してAuパンプ電極12と接続している。一方、回路層3側においては、導電性ペースト5はAlパッド電極13を介してAuパンプ電極12に接続している。なお、図中、14はパッシベーション膜を示している。

【0031】このような構成であれば、導電性ペースト5とSn-Zn半田11との間のバリアメタル膜10によって、Sn-Zn半田11の構成材料が導電性ペースト5中の隙間に拡散して侵入することを防止することができる。

【0032】これにより、Sn-Zn半田11の構成材料の拡散による回路層10に形成された素子の不良発生、すなわち半導体チップ1の不良発生を防止できるようになる。

【0033】また、導電性ペースト5とSi基板2との間のシリコン窒化膜6によって、導電性ペースト5中の不純物例えば鉛ガラスなどの重金属ガラス中の重金属が、Si基板2中に拡散することを防止することができる。これにより、導電性ペースト5中の不純物の拡散による回路層10に形成された素子の不良発生、すなわち半導体チップ1の不良発生を防止できるようになる。

【0034】次にチップスループラグ24の形成方法について説明する。図2は、チップスループラグ4の形成方法を示す工程断面図である。この形成方法は、通常のチップスループラグの形成工程後に、バリアメタル膜10の形成工程が追加されたものである。

【0035】まず、図2(a)に示すように、回路層3が形成されたSi基板2に導電性ペースト5、シリコン窒化膜6、パッシベーション膜14を周知の方法に従って形成した後、パッシベーション膜14の開口部15の内面を被覆するように、Ti膜7、Ni膜8、Pd膜9を例えばスパッタ法により順次形成する。

【0036】次に図2(b)に示すように、開口部15およびその周囲近傍を覆うレジストパターン16をフォトリソグラフィにより形成する。

【0037】次に図2(c)に示すように、レジストパターン16をマスクにして露出しているNi膜8、Pd膜9をエッチングして除去する。この結果、Ti膜7が

(5)

7

露出する。この後、レジストパターン16を例えばアッシングして剥離する。

【0038】次に図2(d)に示すように、露出したTi膜7を覆うレジストパターン17を形成した後、Pd膜9上にSn-Zn半田11を形成する。この後、レジストパターン17を例えばアッシングして剥離する。

【0039】次に図2(e)に示すように、Sn-Zn半田11をマスクにして露出しているTi膜7をエッチングして除去する。

【0040】最後に、図2(f)に示すように、Sn-Zn半田11をウェットエッチングにより後退させて、チップスループラグ4が完成する。

【0041】(第2の実施形態)図3は、本発明の第2の実施形態に係るマルチチップモジュールのチップスループラグ(接続プラグ)を示す断面図である。

【0042】図中、21は半導体チップを示しており、この半導体チップ21はSi基板22とその表面に形成された素子が集積形成されてなる回路層23とで構成されている。半導体チップ21にはそれを貫通するチップスループラグ24が形成されている。

【0043】チップスループラグ24は、Ni、Alなどの金属からなり、鉛ガラスなどの重金属ガラスを含有した焼結型の導電性ペースト(プラグ本体)25と、この導電性ペースト25の側面および回路層23と反対側の表面(底面)を被覆するTiN膜26、Ti膜27、Ni膜28からなるバリアメタル膜(導電性バリア膜)29と、このバリアメタル膜29を介して導電性ペースト25の側面に形成されたシリコン窒化膜(絶縁性バリア膜)30とから構成されている。

【0044】バリアメタル膜29は、Sn-Zn半田31を介してAuバンプ電極32と接続している。一方、回路層23側においては、導電性ペースト25はAlパッド電極33を介してAuバンプ電極32に接続している。なお、図中、34はパッシベーション膜を示している。

【0045】このような構成であれば、導電性ペースト25とSn-Zn半田31との間のバリアメタル膜29によって、Sn-Zn半田31の構成材料が導電性ペースト25中に拡散して侵入することを防止することができる。これにより、Sn-Zn半田31の構成材料の拡散による回路層23に形成された素子の不良発生、すなわち半導体チップ21の不良発生を防止できるようになる。

【0046】また、導電性ペースト25とSi基板22との間のシリコン窒化膜30によって導電性ペースト25中の不純物、例えば鉛ガラスなどの重金属ガラス中の重金属がSi基板22中に拡散することを防止することが可能となる。これにより、導電性ペースト25中の不純物の拡散による回路層23に形成された素子、すなわち半導体チップ21の不良発生を防止できるようにな

8

る。

【0047】次にチップスループラグ24の形成方法について説明する。図4～図6は、チップスループラグ24の形成方法を示す工程断面図である。

【0048】まず、図4(a)に示すように、Si基板22の表面に回路層23を形成し、続いてICPタイプの高密度プラズマを用いた反応性イオンエッチング(RIE: Reactive Ion Etching)により、回路層23を貫通し、Si基板22の途中の深さまで達する溝35を形成する。この溝35の開口径は50～100μm、深さは150～200μmである。

【0049】次に図4(b)に示すように、溝35の表面を覆うように全面にシリコン窒化膜30をCVD法により形成する。

【0050】次に図4(c)に示すように、シリコン窒化膜30上にNi膜28をスパッタ法またはメッキ法により形成する。

【0051】次に図4(d)に示すように、Ni膜28上にTi膜27、TiN膜26をスパッタ法により順次形成する。ここで、TiN膜26はCVD法により形成しても良い。

【0052】次に図4(e)に示すように、溝35の内部を充填するように全面に導電性ペースト25をスクリーン印刷法等により塗布する。

【0053】次に図5(f)に示すように、溝35の外部の余剰な導電性ペースト25、TiN膜26およびTi膜27をCMP等により除去する。この後、導電性ペースト25を焼成する。

【0054】次に図5(g)に示すように、溝35の外部の余剰なシリコン窒化膜30をCMP法またはCDE法により除去する。

【0055】次に図5(h)に示すように、導電性ペースト25上にAlまたはCu添加Al等からなるAlパッド電極35を形成した後、窒化シリコン、ポリイミド等からなるパッシベーション膜34を形成する。

【0056】次に図5(i)に示すように、溝35の底面から約1μm程度の厚さのSiを残して、Si基板22の裏面を研磨して後退させる。

【0057】次に図6(j)に示すように、シリコン窒化膜30が露出するまで、Si基板22の裏面をウェットエッチングまたはCDEにより後退させる。この結果、Si基板21には貫通孔が形成されることになる。

【0058】次に図6(k)に示すように、露出したシリコン窒化膜30をウェットエッチングまたはCDEにより除去して、Ni膜28を露出させる。この結果、半導体チップを貫通するチップスループラグ24が完成する。

【0059】この後の工程は通常のマルチチップモジュールの形成工程が続き、例えば図6(1)に示すように、Si基板22の裏面側に窒化シリコン、ポリイミド

50

(6)

9

等からなるパッシベーション膜34を形成する工程、図6(m)に示すように、Sn-Zn半田31およびAlパッド電極33を形成する工程、Auバンプ電極32を接続する工程が続く。

【0060】このような形成方法であれば、図3に示したバリアメタル膜29とシリコン窒化膜30を同じ形成工程で形成できるので、第1の実施形態のようにシリコン窒化膜30を形成した後に別工程でバリア膜10を形成する方法に比べて、少ない工程数で済み、プロセスの簡略化を図ることができる。

【0061】(第3の実施形態)図8は、本発明の第3の実施形態に係るマルチチップモジュールのチップスループラグ(接続プラグ)を示す断面図である。

【0062】図中、41は半導体チップを示しており、この半導体チップ41はSi基板42とその表面に形成された素子が集積形成された回路層43とで構成されている。半導体チップ41にはそれを貫通するチップスループラグ44が形成されている。

【0063】このチップスループラグ44は、Ni、Alなどの金属からなり、鉛ガラスなどの重金属ガラスを含有した焼結型の導電性ペースト(プラグ本体)45と、この導電性ペースト45中の導電性粒子間の隙間(ポア)を充填するNiBなどの金属からなる充填金属46と、導電性ペースト45の側面を被覆するシリコン窒化膜47から構成されている。

【0064】回路層43側においては、導電性ペースト45はAlパッド電極48を介してAuバンプ電極49に接続している。一方、回路層43とは反対側においては、導電性ペースト45はSn-Zn半田50を介してAuバンプ電極49と接続している。なお、図中、51はパッシベーション膜を示している。

【0065】このような構成であれば、導電性ペースト45中の導電性粒子間の隙間(ポア)が充填金属46によって充填されているので、Sn-Zn半田50の構成材料が導電性ペースト中に拡散して侵入することを防止することができる。これにより、Sn-Zn半田50の構成材料の拡散による回路層43に形成された素子の不良発生、すなわち半導体チップ41の不良発生を防止できるようになる。

【0066】また、導電性ペースト45とSi基板42との間のシリコン窒化膜47によって導電性ペースト45中の不純物、例えば鉛ガラスなどの重金属ガラス中の重金属がSi基板42中に拡散することを防止することが可能となる。これにより、導電性ペースト45中の不純物の拡散による回路層43に形成された素子の不良発生、すなわち半導体チップ41の不良発生を防止できるようになる。

【0067】次にチップスループラグ44の形成方法について説明する。図9～図11は、チップスループラグ44の形成方法を示す工程断面図である。

10

【0068】まず、図9(a)に示すように、Si基板42の表面に回路層43を形成し、続いてICPタイプの高密度プラズマを用いたRIEにより、回路層43を貫通し、Si基板42の途中の深さまで達する溝52を形成する。この溝52の開口径は50～100μm、深さは150～200μmである。

【0069】次に図9(b)に示すように、溝52の表面を覆うように全面にシリコン窒化膜47をプラズマCVD法により形成する。

10 【0070】次に図9(c)に示すように、溝52の内部を充填するように全面に導電性ペースト45をスクリーン印刷法等により塗布する。

【0071】次に図9(d)に示すように、溝52の外部の余剰な導電性ペースト45をCMP等により除去する。この後、導電性ペースト45を焼成する。

20 【0072】次に図9(e)に示すように、液状のNi等の充填金属46を無電解メッキ等により全面に塗布し、導電性ペースト45の金属粒子間の隙間(ポア)を充填金属46によって充填する次に図10(f)に示すように、溝52の外部の余剰な充填金属46をCMP等により除去する。

【0073】次に図10(g)に示すように、溝52の外部の余剰なシリコン窒化膜47をCMP法またはCDE法により除去する。

【0074】次に図10(h)に示すように、導電性ペースト45上にAlまたはCu添加Al等からなるAlパッド電極48を形成した後、窒化シリコン、ポリイミド等からなるパッシベーション膜51を形成する。

30 【0075】次に図10(i)に示すように、溝52の底面から約1μm程度の厚さのSiを残して、Si基板42の裏面を研磨する。

【0076】次に図11(j)に示すように、溝52の底面のシリコン窒化膜47が露出するまで、Si基板42の裏面をウエットエッチングまたはCDEにより後退させる。この結果、Si基板42には貫通孔が形成されることになる。

40 【0077】次に図11(k)に示すように、露出したシリコン窒化膜47をウエットエッチングまたはCDEにより除去して、導電性ペースト45を露出させる。この結果、半導体チップを貫通するチップスループラグ44が完成する。

【0078】この後の工程は通常のマルチチップモジュールの形成工程が続き、例えば図11(l)に示すように、Si基板42の裏面側に窒化シリコン、ポリイミド等からなるパッシベーション膜51を形成する工程、図11(m)に示すように、Sn-Zn半田50およびAlパッド電極48を形成する工程、Auバンプ電極49を接続する工程が続く。

50 【0079】なお、本発明は、上記実施形態に限定されるものではない。例えば、上記実施形態では、導電性ペ

(7)

11

ーストとして鉛ガラスなどの重金属ガラスを含有したものを使用した。鉛ガラス等のガラス成分を含有しないものを使用しても良い。

【0080】この場合、ガラス成分がないので、導電性ペーストとSi基板との間の密着性が低下する。このような不都合は導電性ペーストとSi基板との間に、導電性ペースト中の導電性粒子と反応性して密着性を高めることができる密着膜を挿設すると良い。

【0081】例えば、導電性ペーストとしてNiペーストを用いた場合には、密着膜としてNi膜またはNb膜を用いると良い。また、導電性ペーストとしてAlペーストを用いた場合には、密着膜としてNi膜、パラジウム膜または多結晶Si膜を用いると良い。また、密着膜の成膜方法としては、例えばスパッタ法、無電界メッキ法等があげられる。

【0082】図7に、NiペーストをNi膜上にて焼成してなる試料を断面SEMによって観察した結果である顕微鏡写真を示す。上記Ni膜はスパッタ法により形成した。図から、Niペースト中のNi粒子とNi膜との間において反応が起きていることが分かる。

【0083】したがって、第2の実施形態の場合において、導電性ペースト25としてNiペーストを使用するときは、導電性ペースト25とSi基板22との間、この場合には導電性ペースト25とTiN膜26との間にNi膜を挿設すれば良い。

【0084】また、上実施形態では、絶縁性バリア膜としてシリコン窒化膜を用いたが、導電性ペーストとSi基板とを絶縁し、導電性ペースト中の不純物がSi基板中に拡散することを防止できるものであれば他の絶縁膜であっても良い。

【0085】また、上実施形態では、導電性バリア膜として、Ti膜、Ni膜、Pd膜の積層膜や、TiN膜、Ti膜、Ni膜の積層膜を用いたが、半田の構成材料が導電性ペースト中に拡散することを防止できるものであれば、他の積層構造の導電性膜あるいは単層膜であっても良い。

【0086】また、半田もSn-Zn半田に限定されるものではない。

【0087】また、他の半導体チップと電氣的に接続されていないチップスループラグを有する半導体チップがあっても良い。すなわち、放熱性の改善の目的のみでチップスループラグを形成した半導体チップがあっても良い。

【0088】その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0089】

【発明の効果】以上詳説したように本発明によれば、導電性ペーストと半田との間に導電性バリア膜が設けられているので、この導電性バリア膜によって半田の構成材料が導電性ペースト中に拡散して侵入することを防止す

12

ることが可能となり、これにより半田の構成材料の拡散による不良発生を防止できるマルチチップ半導体装置およびその製造方法を実現できるようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るマルチチップモジュールのチップスループラグを示す断面図

【図2】同チップスループラグの形成方法を示す工程断面図

【図3】本発明の第2の実施形態に係るマルチチップモジュールのチップスループラグを示す断面図

【図4】同チップスループラグの形成方法を示す工程断面図

【図5】図4に続く同チップスループラグの形成方法を示す工程断面図

【図6】図5に続く同チップスループラグの形成方法を示す工程断面図

【図7】NiペーストをNi膜上にて焼成してなる試料を断面SEMによって観察した結果を示す顕微鏡写真

【図8】本発明の第3の実施形態に係るマルチチップモジュールのチップスループラグを示す断面図

【図9】同チップスループラグの形成方法を示す工程断面図

【図10】図9に続く同チップスループラグの形成方法を示す工程断面図

【図11】図10に続く同チップスループラグの形成方法を示す工程断面図

【図12】従来のマルチチップモジュールを示す断面図

【図13】同マルチチップモジュールのチップスループラグの詳細な構造を示す断面図

【図14】導電性ペースト中に金属粒子間の隙間（ポア）が存在することを示す断面SEMに係る顕微鏡写真

【図15】Alペーストの断面SEMに係る顕微鏡写真

【図16】Alペースト上にSn-Zn半田をディップ方式により塗布した試料の断面SEMに係る顕微鏡写真

【図17】図15の一部を拡大した顕微鏡写真

【符号の説明】

1…半導体チップ

2…Si基板

3…回路層

4…チップスループラグ（接続プラグ）

5…導電性ペースト（プラグ本体）

6…シリコン窒化膜（絶縁性バリア膜）

7…Ti膜

8…Ni膜

9…Pd膜

10…バリアメタル膜（導電性バリア膜）

11…Sn-Zn半田

12…Auバンプ電極

13…Alパッド電極

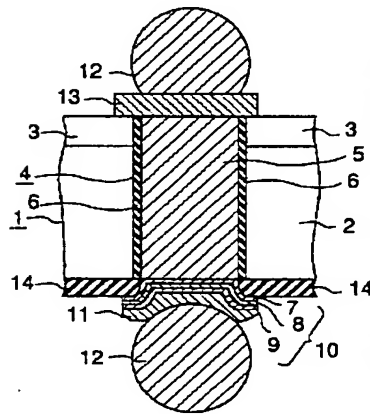
14…パッシベーション膜

(8)

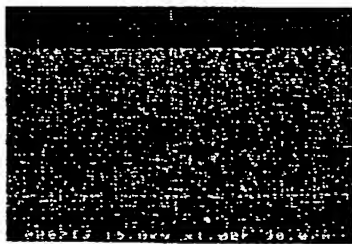
13

- 15…開口部
 16…レジストパターン
 17…レジストパターン
 21…半導体チップ
 22…Si基板
 23…回路層
 24…チップスループラグ (接続プラグ)
 25…導電性ペースト (プラグ本体)
 26…TiN膜
 27…Ti膜
 28…Ni膜
 29…バリア金属膜 (導電性バリア膜)
 30…シリコン窒化膜 (絶縁性バリア膜)
 31…Sn-Zn半田
 32…Auバンプ電極

【図1】



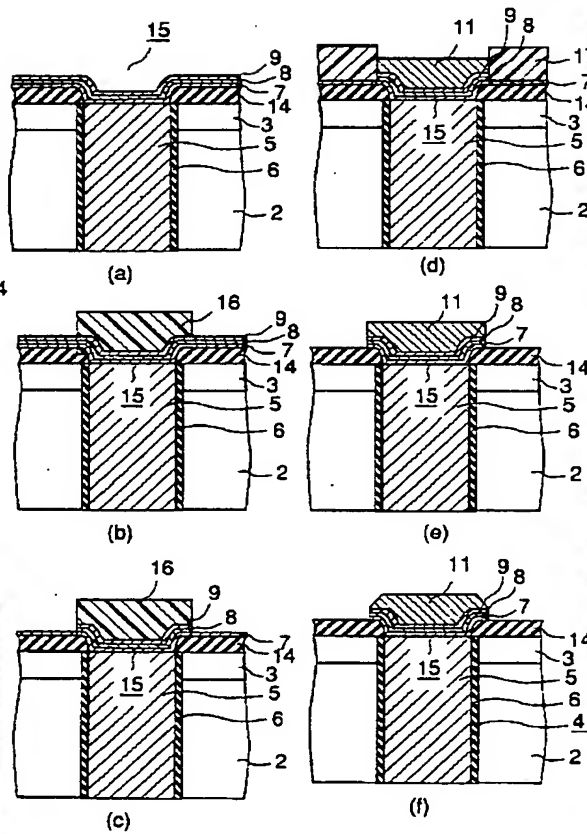
【図15】



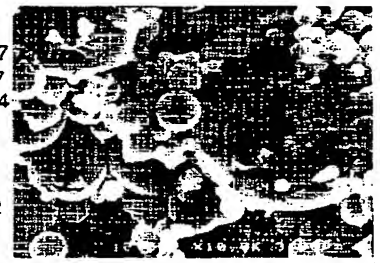
14

- 33…Alパッド電極
 34…パッシベーション膜
 35…溝
 41…半導体チップ
 42…Si基板
 43…回路層
 44…チップスループラグ (接続プラグ)
 45…導電性ペースト (プラグ本体)
 46…充填金属
 47…シリコン窒化膜 (絶縁性バリア膜)
 48…Alパッド電極
 49…Auバンプ電極
 50…Sn-Zn半田
 51…パッシベーション膜
 52…溝

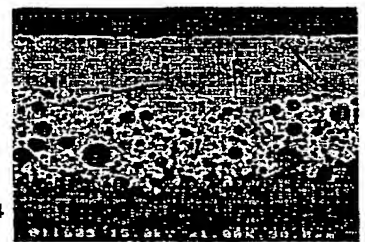
【図2】



【図14】



【図16】

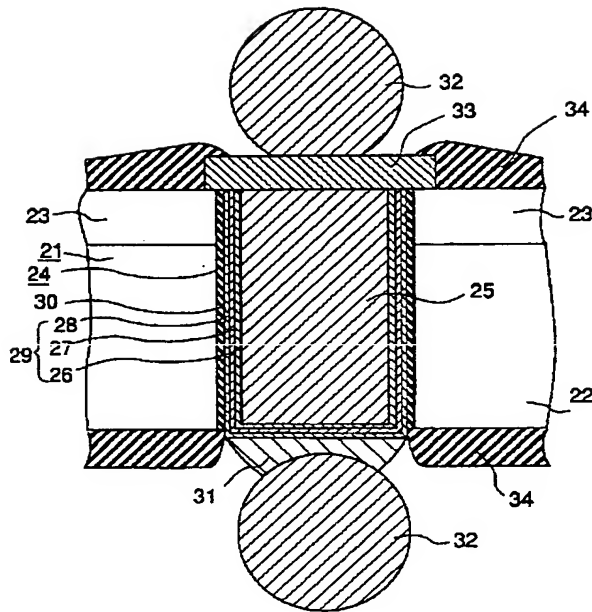


【図17】

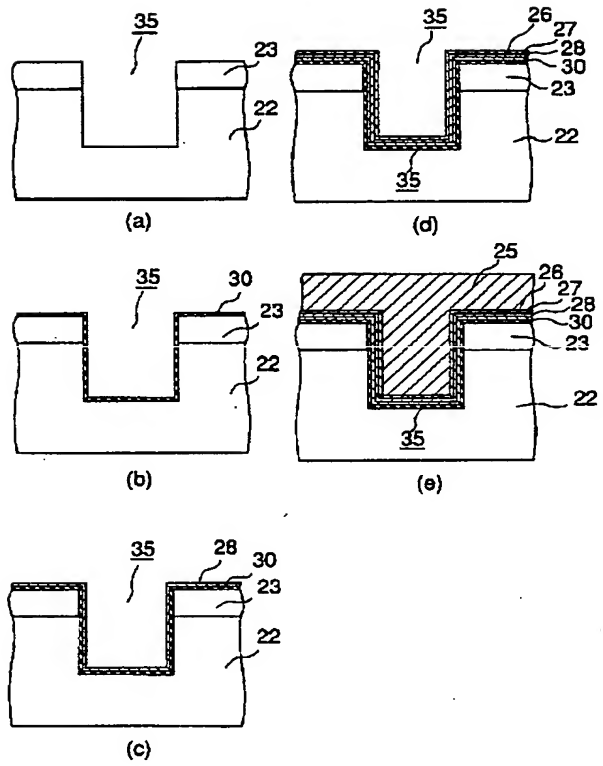


(9)

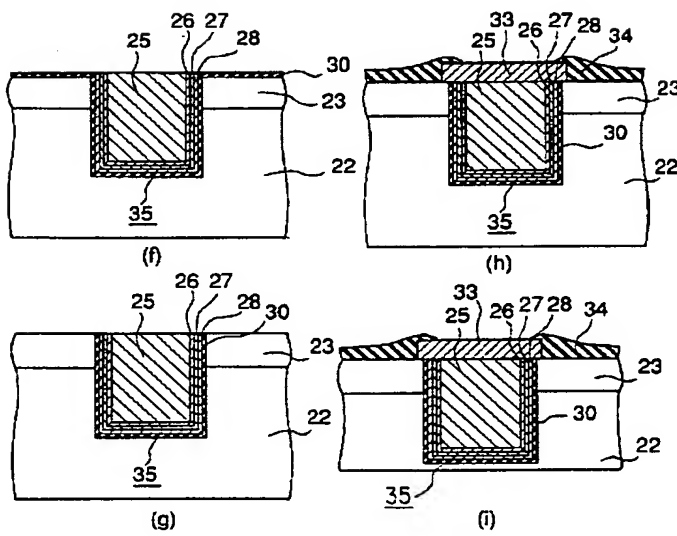
【図3】



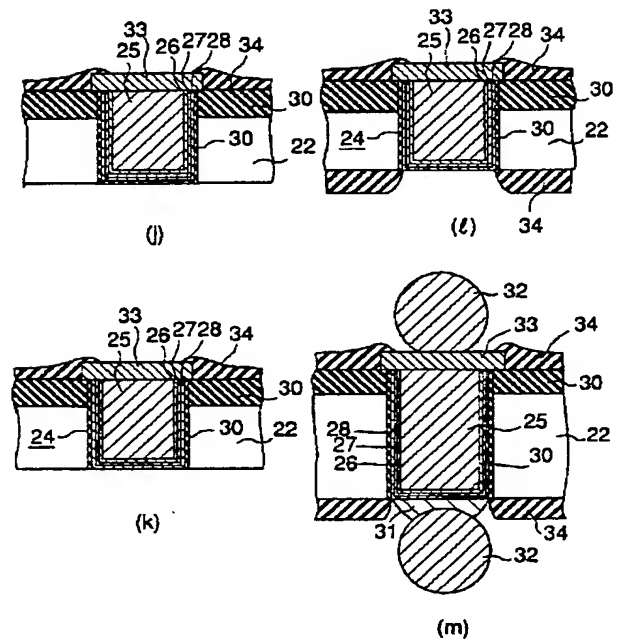
【図4】



【図5】

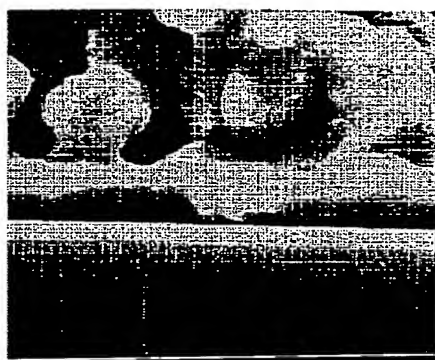


【図6】



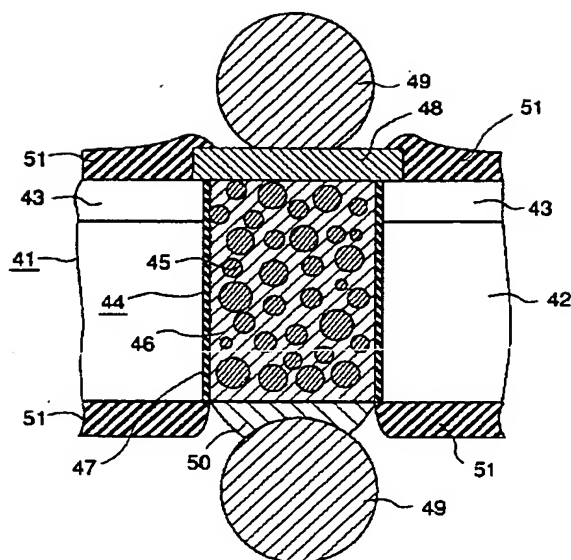
(10)

【図7】

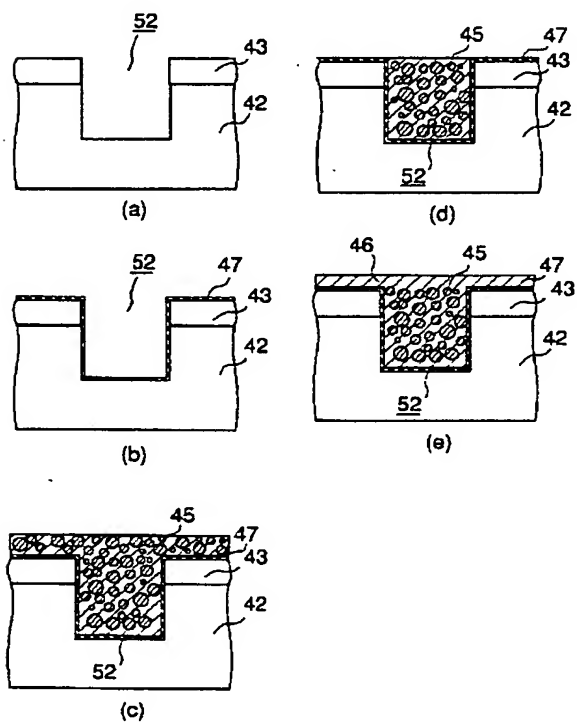


750 nm

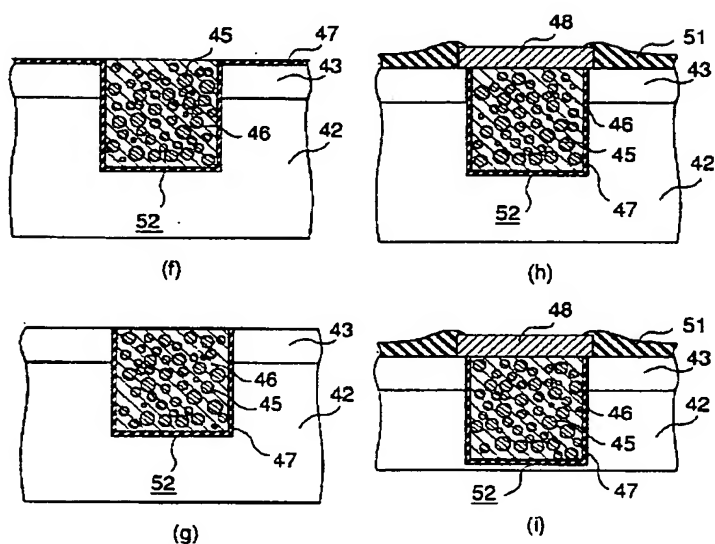
【図8】



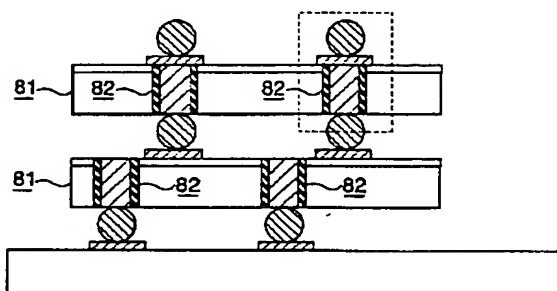
【図9】



【図10】

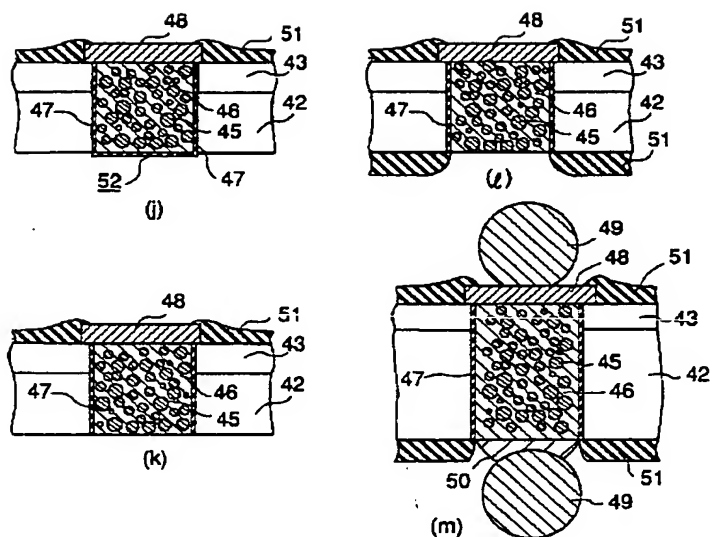


【図12】

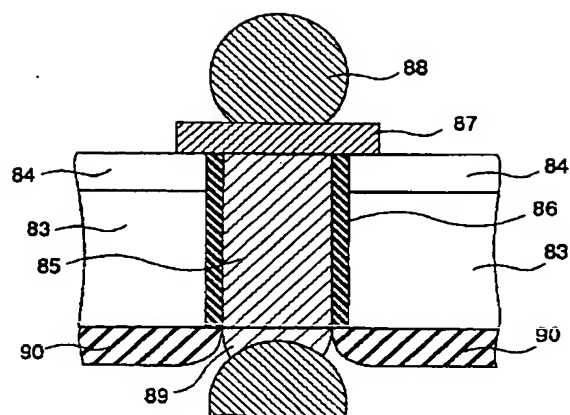


(11)

【図11】



【図13】



フロントページの続き

(72)発明者 久恒 善美

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内